

## 연수 제안서

연구 분야	Post-Si 반도체 소자
연구 과제명	III-V 화합물반도체 및 Ge을 이용한 MOSFET 및 monolithic 3D integration 기술 개발
연수 제안 업무	반도체 박막 에피 성장 및 FET 소자 공정
<p>(연수 내용)</p> <ul style="list-style-type: none"><li>● 스케일링 한계에 직면한 실리콘 기반의 전자소자를 대체하고, 인공지능 시대에 부합하는 고성능/저전력의 차세대 반도체소자 기술 개발</li><li>● 높은 전자 및 정공 이동도를 가지는 III-V 화합물반도체 및 Ge을 초고진공 박막 증착하여 트랜지스터의 채널 구조를 제작</li><li>● 수십 나노미터 두께의 박막을 웨이퍼 본딩을 통해 실리콘 기판 상으로 접합하는 DWB &amp; ELO 기술</li><li>● 클린룸 공정을 통해 MOSFET 소자 제작하고 전기적 특성을 측정 분석</li><li>● CMOSFET 구현을 위하여 수직으로 소자 구조를 stacking하는 monolithic 3D integration 하고 이를 뉴로모픽 소자에 응용</li><li>● 0.5V 이하의 구동전압에서 동작하는 post-Si 소자 기술 개발 목표</li></ul>	
<p>소속 부 서 : 스피융합연구단</p> <p>연수 책임자 : 김 형 준</p>	